

GMM

VDE/VDI-GESELLSCHAFT
MIKROELEKTRONIK,
MIKRO- UND FEINWERKTECHNIK



PROGRAMM

Zuverlässigkeit und Entwurf

1. GMM/GI/ITG-Fachtagung

26. – 28. März 2007

München, Maritim Hotel



ITG



VDE

Vorwort

Heutige integrierte Systeme können hunderte Millionen von Transistoren enthalten, bestehen aus digitalen und analogen Komponenten unterschiedlicher Technologien und eröffnen völlig neue Anwendungsfelder. Eingebettete Systeme, Ein-Chip-Systeme, Multiprozessoren und Netzwerke auf einem Chip gehen über die Steuerung von Geräten und Anlagen, Fahrzeugen und Verkehrssystemen weit hinaus und stellen häufig besonders hohe Anforderungen an die Zuverlässigkeit. Dem steht gegenüber, dass bei weiter sinkenden Strukturgrößen in der Mikroelektronik die gefertigten elementaren Komponenten wie Transistoren und Leitungen über einen sehr großen Parameterbereich variieren werden. Mit Systemarchitekturen, die davon abhängen, dass sämtliche Komponenten fehlerfrei funktionieren, werden sich künftig keine wirtschaftlichen Ausbeuten erzielen lassen.

Es besteht dringender Bedarf an innovativen Verfahren, um die Ausbeute und die Zuverlässigkeit von mikro- und nanoelektronischen Systemen durch Fehlertoleranz und integrierte Reparaturmechanismen zu gewährleisten und ihre Qualität durch entsprechende Entwurfs-, Verifikations- und Testverfahren sicher zu stellen. Diese Verfahren müssen sowohl Fertigungsfehler und Parameterschwankungen als auch Störungen während des Betriebs kompensieren können.

Die in der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) zusammengeschlossenen Fachgruppen laden Sie zu dieser Veranstaltung ein.

Sebastian Sattler, Infineon Technologies AG, Neubiberg
Tagungsleiter

Hans-Joachim Wunderlich, Universität Stuttgart
Vorsitzender des Programmkomitees

Inhaltsverzeichnis

Veranstalter	4
Informationen zur Tagung	4
Tagungsleiter	4
Organisationskomitee	4
Programmkomitee	4
Programm zur Tagung	6
Eingeladene Vorträge	6
Montag, 26.03.2007	11
Dienstag, 27.03.2007	13
Mittwoch, 28.03.2007	17
Allgemeine Hinweise	20
Tagungsorganisation	20
Anmeldung	20
Teilnahmegebühren	20
Bezahlung der Teilnahmegebühr	21
Stornierung	21
Zimmerreservierungen	21
Registrierung	22
Tagungsbüro	22
Tagungsort	22
Telefonische Erreichbarkeit	22
Anfahrt	23
Parkmöglichkeiten	24
Abendveranstaltung	25
Informationen über München	25

Veranstalter
Informationen zur Tagung

VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerk-
technik (GMM),
Stresemannallee 15, 60596 Frankfurt am Main
☎ +49 (0)69-6308-330 📠 +49 (0)69-6308-9828
E-Mail: gmm@vde.com
URL: www.vde.com/Zud

Tagungsleiter
Vorsitzender des Programmkomitees

Sebastian Sattler, Infineon Technologies AG, Neubiberg
(Tagungsleiter)

Hans-Joachim Wunderlich, Universität Stuttgart
(Vorsitzender des Programmkomitees)

Organisationskomitee

Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Rolf Drechsler	Universität Bremen
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt
Sybille Hellebrand	Universität Paderborn
Andreas Herkersdorf	TU München
Sorin Huss	TU Darmstadt
Jürgen Schlöffel	NXP Semiconductors Hamburg
Ronald Schnabel	VDE/VDI-GMM, Frankfurt
Norbert Wehn	Universität Kaiserslautern

Programmkomitee

J. Alt	Infineon Technologies AG
W. Anheier	Universität Bremen
H.-J. Brand	AMD
M. Brandstetter	Robert Bosch GmbH
R. Brück	Universität Siegen
K. Buchenrieder	Universität BW
M. Darianian	Nokia
M. Deegener	GM Powertrain Rüsselsheim
M. Dietrich	FhG IIS/EAS Dresden
F. Dietz	Atmel
S. Eichenberger	NXP Semiconductors
R. Ernst	TU Braunschweig
M. Fischer	Verigy
Z. Gergintschew	Infineon Technologies AG

W. Glauert	Universität Erlangen-Nürnberg
M. Goldbach	LTX
H. Graeb	TU München
C. Grimm	TU Wien
W. Hardt	Universität Chemnitz
Th. Harriehausen	FH Braunschweig/Wolfenbüttel
W. John	FhG IZM - Paderborn
J. Kelber	Fachhochschule Schmalkalden
A. Kühn	TU Darmstadt
W. Kunz	TU Kaiserslautern
J. Lienig	TU Dresden
B. Michel	FhG (IZM) Berlin
P. Molitor	Universität Halle
W. Nebel	OFFIS Oldenburg
F. Oppenheimer	OFFIS Oldenburg
R. Pferdmenes	Infineon Technologies AG
F. Poehl	Infineon Technologies AG
I. Polian	Universität Freiburg
M. Pormann	Heinz-Nixdorf-Institut, Paderborn
M. Radetzki	Universität Stuttgart
F. Rammig	Universität Paderborn
M. Reuter	Mentor Graphics GmbH
A. Ripp	Muneda
J. Rivoir	Verigy
F. Rößler	Melexis GmbH
I. Rugen-Herzig	Infineon Technologies AG
J. Scheible	Robert Bosch GmbH
U. Schlichtmann	TU München
K. Schneider	Universität Kaiserslautern
V. Schöber	edacentrum Hannover
M. Schöbinger	Infineon Technologies AG
P. Schwarz	FhG-IIS / EAS Dresden
Ch. Sebeke	Robert Bosch GmbH
R. Sommer	Infineon Technologies AG
M. Stadler	Teradyne
A. Steininger	TU Wien
B. Straube	FhG-IIS / EAS Dresden
J. Teich	Universität Erlangen-Nürnberg
R. Vahrman	Atmel
H. Vierhaus	BTU Cottbus
R. Wagner	Robert Bosch GmbH

Zuverlässigkeit und Entwurf

Eingeladene Vorträge

27.03.2007, 09:15 – 10:00

Vergangenheit, Gegenwart, Zukunft – die Rolle des Halbleitertests im Wandel der Zeit

Klaus Luther (Vice President Test, Infineon Technologies AG)

Gemessen an den Anfängen der industriellen Halbleiterfertigung ist heute die Komplexität der integrierten Schaltungen um viele Größenordnungen gestiegen. Durch gemeinsame Anstrengungen der Fertigung und Produktentwicklung, der Halbleiterhersteller und Equipmentlieferanten ist es dabei gelungen, der gestiegenen Komplexität zu trotzen, Kosten zu senken und die Produktqualität in den Bereich <1 dpm zu steigern.

Der Vortrag gibt einen Einblick in bestehende Trends des Halbleitertests und bietet einen Ausblick auf kommende Herausforderungen und Lösungen. Der industrielle Bedarf für neue Technologien, Verfahren und Methoden einer garantierten Produktzuverlässigkeit wird an Hand von Beispielen dargelegt, und bereits mögliche Lösungen für kostengünstigstes Testen und beste Testqualität in der Produktion diskutiert.

27.03.2007, 10:00 – 10:45

Ausbeute- und fertigungsgerechtes Design aus der Analog-Foundry Perspektive

Jens KOSCH (X-Fab)

Der bestimmende Erfolgsfaktor im Design for Manufacturability and Yield bleibt, trotz allem technologischen Fortschritt, das tiefe Verständnis der bauelementphysikalischen und statistischen Grundlagen. Die EDA Industrie hat hier, getrieben von den Anforderungen der Nanometerprozesse und der wachsenden Bedeutung von analogen und mixed-signal Schaltungen, neue und

bessere Werkzeuge geschaffen, um die Ausbeute und Robustheit der Designs zu erhöhen. Für die effektive Nutzung gibt es aber kein allgemeingültiges Rezept. Und es bestehen durchaus neue Risiken, wenn z.B. Design for Yield zur Kostenoptimierung benutzt wird und im vermeintlichen Kostenoptimum die Lieferfähigkeit leidet.

27.03.2007, 13:30 – 14:15

Design für 0-Fehler-ASICs in der Automobil-Elektronik

Peter van Staa (Robert Bosch GmbH – Reutlingen)

Die Automobil-Industrie erwartet zunehmend völlige Fehlerfreiheit für das gesamte Liefervolumen der Halbleiterkomponenten in elektronischen Systemen im Produktionslebenszyklus eines Modells – zum Zeitpunkt der Auslieferung, um teure Fehlerbeseitigungsmaßnahmen zu vermeiden, und im Betrieb, da Zuverlässigkeit gerade im Auto im besonderen Fokus der Kunden steht und von existentieller Bedeutung für die Sicherheit der Insassen eines Fahrzeugs und seines Umfelds ist. Das ‚Null-Fehler-Ziel‘ stellt im Vergleich zu anderen mikroelektronikbasierten Anwendungen ein Alleinstellungsmerkmal dar. Da Qualität und Zuverlässigkeit nicht nur eine Aufgabe für die Produktion sind, sondern vielmehr in das Produkt ‚hineinentwickelt‘ werden müssen, erwachsen daraus ganz spezifische Anforderungen an das Design von ASICs in der Automobilelektronik.

Der Vortrag gibt einen Einblick in die Zuverlässigkeitsthematik aus Sicht des Autofahrers und daraus erwachsenden Anforderungen an die Elektronik bzw. Halbleiterkomponenten und stellt Methoden und zugehörige Werkzeuge für das Design von zuverlässigen ASICs vor. Dazu werden auch der Produktionstest sowie die Absicherung der Lebensdauer dieser Bauelemente beleuchtet. Abschließend werden noch bestehende Herausforderungen dargestellt und daraus Anforderungen an weiter verbesserte Werkzeuge für das Design abgeleitet.

27.03.2007, 16:00 – 16:45

Redundante Verdrahtungs- und Signalnetzwerke im VLSI Design

Juergen Koehl, (IBM Deutschland Entwicklung GmbH)

Die Eigenschaften der neuen Kupfer- und Nanometer-technologien unterscheiden sich deutlich von früheren Technologien. Kürzeste Verbindungen, realisiert als Baumstrukturen, sind nun nicht mehr die optimale Lösung für Signalleitungen. Allgemeine Netzwerke gewinnen an Bedeutung. Bisher war die Anwendung solcher Netzwerke mit Buffer- oder Inverterketten auf die Strom- und Taktverteilung begrenzt. Der Vortrag zeigt neue Lösungsansätze auf. Insbesondere wird die Anwendung von redundanten Strukturen und deren Vorteile an Hand von Beispielen diskutiert.

28.03.2007, 08:30 – 09:15

Embedded Processors – Opportunities and Challenges

Pete Harrod (ARM, UK)

The digital world is all around us. Embedded processors power products with unprecedented levels of functionality – the “ultimate” personal device that includes a phone, camera, PDA and MP3 player is becoming a reality. But this increased functionality and complexity bring new challenges, including how to efficiently design, validate, test and debug processor cores that are deeply embedded. This presentation will explore some ways in which these issues are being tackled.

28.03.2007, 10:45 – 11:30

Design for Manufacturing (DFM) techniques

Srikanth Venkataraman (Intel Corporation, USA)

Semiconductor yield has traditionally been limited by random particle-defect based issues. However, as the feature sizes reduced to 0.09 micron and below, systematic mechanism-limited yield loss began to appear as a substantial component in yield loss. In addition, it is becoming clear that ramping yield would take longer and final yields would not reach historical norms. A key factor for not reaching previously attained yield levels is the interaction between design and manufacturing. Yield losses in the newer processes include functional defects, parametric defects and issues with testing. Each of these sources of yield loss needs to be analyzed and understood by designers and tool developers. In addition, new techniques and methods must be devised to minimize the impact of these yield loss mechanisms. An introduction of the issues and Design-for-Manufacturing (DFM) techniques to analyze the design content, flag areas of design that could limit yield, and make changes to improve yield will be presented.

Once design changes are made for DFM/DFY, it is necessary to quantify their impact so that knowledge about yield contribution of different features can be fed back to design and DFM tools. Test presents an opportunity to close the loop by crafting test patterns to expose the defect prone features during automatic test pattern generation (ATPG) and by analyzing silicon failures through diagnosis to determine the features that are actually causing yield loss and their relative impact. The application of statistical diagnosis techniques to determine the features that are actually causing yield loss and their relative impact are covered. Finally, future trends, challenges and directions are covered.

28.03.2007, 14:00 – 14:45

Robust-By-Design: Mikroprozessor-Entwurf für 45/32 nm-Technologien

Hans-Jürgen Brand (AMD Saxony LLC&Co.KG – Dresden)

Je kleiner die Strukturbreiten werden, desto dramatischer steigen Entwurfsaufwand und damit Entwurfskosten. Die damit einhergehenden, immer komplexeren Strukturen verschärfen nicht nur die bisherigen Entwurfsprobleme (u.a. Verifikation und Test), sondern es werden auch zunehmend methodische Grenzen herkömmlicher EDA-Verfahren erreicht. Wettbewerbsentscheidend wird zunehmend das erste funktionsfähige Silizium (first-time-right) sein, denn Projektverzögerungen bergen schon heute die Gefahr substantielle Marktanteile zu verlieren. Daraus ergibt sich die Notwendigkeit eines Paradigmenwechsel beim Entwurf hin zum „Robust-by-Design“, indem Robustheit durch bessere und zeitigere Berücksichtigung der Einsatzbedingungen des Endproduktes gewährleistet wird. Es werden neue Konzepte vorgestellt, welche diesen Herausforderungen Rechnung tragen, wobei auch Arbeiten des vom BMBF geförderten Forschungsprojekts URANOS referenziert werden.

Montag, 26. März 2007

Embedded Tutorials

15:00-18:00 Embedded Tutorial 1

- **Reliability Simulation für den integrierten Analog/Mixed-Signal-Schaltungsentwurf mit dem RelXpert-Designflow**

Ralf Sommer (TU Ilmenau), Heiko Nielen (Infineon); Patrick Haspel (Cadence)

Das Tutorial gibt einen Überblick über die Alterungssimulation von Analog/Mixed-Signal-Schaltungen. Es werden die kritischsten Degradationsmechanismen wie Hot-Carrier-Stress (HCS), Hot Carrier Instability (HCI), Gate-Bias-Stress (GBS) oder Negative Bias Temperature Instability (NBTI) vorgestellt und ihre Implementierung in den Cadence RelXpert-Designflow diskutiert. Der zweite Teil des Tutorials umfasst Live-Tool-Demonstrationen der Werkzeuge RelXpert und BSIMPro, so dass die Teilnehmer einen praktischen Eindruck der Umsetzung der vorher vorgestellten Methodik bekommen.

15:00-18:00 Embedded Tutorial 2

- **2a) Fehleranalyse an modernen Logik-Ics: Test, Lokalisierung und Präparation**

Christian Burmer (Infineon)

Der erste Teil des Tutorials gibt einen Überblick über die generellen Abläufe, wie sie in der Fehleranalyse angewendet werden. Verschiedene Methoden zur Lokalisierung auf Chip- und Systemebene, besonders Laser basierte Verfahren (TIVA, SDL) sowie Methoden zur dynamischen Signalmessung (zeitaufgelöste Emissionsmikroskopie, Laser-, Voltage-Probing) werden genauso vorgestellt wie die Methoden zur Präparation und Messung von Parametern an Einzeltransistoren. Ein Überblick über die verschiedenen Darstellungsverfahren (REM, TEM, AFM) und diverse Beispiele runden den Vortrag ab.

- **2b) Soft Errors in der Mikro- und Nanoelektronik**

Iliia Polian, Bernd Becker (Albert-Ludwigs-Universität Freiburg)

Der zweite Teil des Tutorials geht auf die physikalischen Grundlagen der durch Soft Errors verursachten Fehler ein, deren Abgrenzung zu anderen Ausfallmechanismen und unterschiedliche Gegenmaßnahmen dazu. Es werden Metriken zur Messung der Anfälligkeit einer konkreten Schaltung für Soft Errors dargestellt und Methoden zur Erhebung entsprechender Daten skizziert. Der Schwerpunkt wird dabei auf die Strategien zur Behandlung von Soft Errors gelegt. Dies sind Ansätze auf Prozessebene, welche das Auftreten von Soft Errors zu verhindern versuchen, Methoden auf Schaltungsebene, welche die aufgetretenen Fehler erkennen und ggf. korrigieren sollen sowie Techniken zum fehlertoleranten Algorithmenentwurf, welche korrekte Berechnungen auf von Soft Errors betroffenen Blöcken erlauben.

19:00-22:00 Welcome Reception

Piano Bar, Maritim Hotel

Dienstag, 27. März 2007

09:00-09:15 Eröffnung

*Sebastian Sattler (Tagungsleiter),
Hans-Joachim Wunderlich (Vorsitzender des
Programmkomitees)*

09:15-10:00 Eingeladener Vortrag

- **Vergangenheit, Gegenwart, Zukunft – die Rolle des Halbleitertests im Wandel der Zeit**

Klaus Luther (Vice President Test, Infineon Technologies AG)

10:00-10:45 Eingeladener Vortrag

- **Ausbeute- und fertigungsgerechtes Design aus der Analog-Foundry Perspektive**

Jens Kosch (X-Fab)

10:45-11:15 Kaffeepause

**11:15-12:15 Prozessanalyse und –
optimierung**

Moderatoren: Josef Hausner, Infineon Technologies AG; Walter Hartong, Cadence Design Systems GmbH

- **Statistische Laufzeitmodellierung digitaler Gatter mittels analytischem Timing-Modell und Dichte-Transformationsatz**

*Walter Schneider, Manuel Schmid,
Ulf Schlichtmann (TU München)*

- **CMCal: Ein Verfahren zur Analyse der Prozessschwankungen für nichtlineare Schaltungen mit nicht-Gauss-verteilten Parametern**

*Min Zhang, Markus Olbrich, Erich Barke (Leibniz Universität Hannover); David Seider,
Martin Frerichs (Qimonda)*

- **Via-Array-Testchip, ein Verfahren zur Optimierung von Zuverlässigkeit und Qualität von CMOS-Bausteinen**
*Dieter Kohlert (Fachhochschule Regensburg);
Rainer Holmer (Infineon)*

12:15-13:30 Mittagspause

13:30-14:15 Eingeladener Vortrag

Moderatoren: *Wolfgang Glauert, Universität Erlangen-Nürnberg; Reinhold Vahrmann, Atmel Germany GmbH*

- **Design für 0-Fehler-ASICs in Automobil-Elektronik**
Peter van Staa (Robert Bosch GmbH, Reutlingen)

14:15-15:00 Zuverlässigkeit in der KFZ-Mikroelektronik

- **Verification of FlexRay Using Directed and Coverage-Based Testing – A Comparison**
Markus Baumeister, Joern Ungermann (Philips Research Laboratories)
- **Robust Analog Design for Automotive Applications by Design Centering**
*Michael Pronath (MunEDA);
Udo Sobe, Karl-Heinz Rooch (ZMD)*

15:00-16:00 Poster

- **A Pseudo-Random Data Generator for Program-Based DDR SDRAM BIST with Custom Defined Testing Algorithms**
Hongzhi Li (Qimonda)
- **Failure Analysis of Soft Defects: Test and Localization Strategies**
Christian Burmer, Christof Brillert, Zhongling Qian (Infineon)

- **Feldprogrammierbare Gatterlogik für zuverlässigen HF-Transceiver und Mixed-Signal Test**
Ivo Koren, Roland May, Martin Kaibel, Frank Demmerle, Sebastian Sattler (Infineon)
- **Mikrocontroller basierter Mixed-Signal Test**
*Heinz Mattes, Stephane Kirmser,
Sebastian Sattler (Infineon)*
- **Towards a Systematic Design of Fault-Tolerant Asynchronous Circuits**
*Andreas Steininger, Ulrich Schmid (TU Wien);
Helmut Veith (TU München)*
- **Zuverlässigkeitserhöhung mit funktionalen Monitoren**
*Hans Evekling, Martin Braun, Volker Nimbler,
Martin Schickel (TU Darmstadt)*
- **A Defect Oriented Circuit Simulation Approach Applied to DRAM Designs**
*Martin Versen, Jelena Knezevic, Sergio Montoya (Qimonda); Wolfgang Vermeiren, Torsten Coym,
Bernd Straube (Fraunhofer IIS/EAS Dresden)*
- **Anwendung von Methoden zur Bewertung der Hardwarezuverlässigkeit auf komponentenbasierte Softwaresysteme**
Michael Wedel, Peter Göhner (Universität Stuttgart)
- **Applikationsspezifische Zuverlässigkeitsbewertung von Multiprozessor System-on-Chip auf Systemebene**
*Björn Sander, Oliver Bringmann,
Timo Schönwald, Jürgen Schnerr, Wolfgang Rosenstiel (FZI Karlsruhe)*
- **Ein kostenbegrenzter Ansatz zur Reduktion der transienten Fehlerrate**
Ilija Polian, Damian Nowroth, Bernd Becker (Universität Freiburg); John Hayes (University Michigan)
- **Fehlererkennung mit Fehlerkorrektur für Soft Errors**
*Daniel Marienfeld, Michael Gössel,
Egor Sogomonyan (Universität Potsdam)*

- **Timing-Driven-3D-Platzierung mit einem kräftebasierten Ansatz**

*Ole Ohlendorf, Markus Olbrich, Erich Barke
(Leibniz Universität Hannover)*

16:00-16:45 Eingeladener Vortrag

*Moderatoren: Martin Fischer, Verigy Germany GmbH;
Franz Rößler, Melexis GmbH*

- **Redundante Verdrahtungs- und Signalnetzwerke im VLSI Design**

Juergen Koehl (IBM)

16:45-18:05 Test, Fehlererkennung und Reparatur

- **Error Detection in Smartcards**
Stefan Rueping, Georg Sigl (Infineon)
- **Hochauflösende Period Jitter Messungen im Produktionstest**
Jaafar Mejri, Stephane Kirmser, Sebastian Sattler (Infineon)
- **Verlustleistungsoptimierende Testplanung zur Steigerung von Zuverlässigkeit und Ausbeute**
*Michael Imhof, Hans-Joachim Wunderlich, Christian Zöllin (Universität Stuttgart);
Jens Leenstra, Nicolas Mäding (IBM Deutschland Entwicklung)*
- **Reparaturfunktionen für Bus-Strukturen auf SoCs**
Heinrich T. Vierhaus, René Kothe (BTU Cottbus)

20:00-23:00 Abendveranstaltung

Künstlerhaus Lenbach, Lenbachplatz

Mittwoch, 28. März 2007

08:30-09:15 Eingeladener Vortrag

Moderatoren: Wolfgang Kunz, TU Kaiserslautern

- **Embedded Processors – Opportunities and Challenges**

Pete Harrod (ARM, UK)

09:15-10:15 Verifikation und Modellierung

- **Modellierung mit Guarded Transactions zum robusten Entwurf von Hardware-Software-Systemen in SystemC**

Martin Radetzki (Universität Stuttgart)

- **Formale Verifikation von SoC Kommunikationsstrukturen**

Max Thalmaier, Minh Ngyuen, Markus Wedler, Dominik Stoffel, Wolfgang Kunz (TU Kaiserslautern)

- **Ein formaler Ansatz zum Robustheitsnachweis**

Goerschwin Fey, Rolf Drechsler (Universität Bremen)

10:15-10:45 Kaffeepause

10:45-11:30 Eingeladener Vortrag

*Moderatoren: Christian Sebeke, Robert Bosch GmbH;
Walter Anheier, Universität Bremen*

- **Design for Manufacturing (DFM) techniques**
Srikanth Venkataraman, (Intel Corporation, USA)

11:30-12:50 Special Session

Moderatoren: *Christoph Grimm, TU Wien;*
Markus Olbrich, Leibniz Universität Hannover

- **Design for Manufacturing and Yield: Trends in der Halbleiterindustrie**
Markus Buehler (IBM Deutschland Entwicklung GmbH); Jason Hibbeler (IBM, USA)
- **Erhöhung der Ausbeute durch robuste Verdrahtungsnetzwerke**
Philipp Panitz, Artur Quiring, Hans-Christian Müller (Institute of Microelectronic Systems); Markus Olbrich, Erich Barke (Leibniz Universität Hannover); Jürgen Koehl (IBM Deutschland Entwicklung GmbH)
- **Statistical Interconnect Variations: Extraction and Simulation**
Harald Kinzelbach (Infineon)
- **Verwendung von Gebietsarithmetiken beim Schaltungs-Entwurf**
Marc Freisfeld, Markus Olbrich, Erich Barke (Leibniz Universität Hannover); Christoph Grimm (Technische Universität Wien)

12:50-14:00 Mittagspause

14:00-14:45 Eingeladener Vortrag

Moderatoren: *Hans Manhaeve, Q-Star Test nv, Belgien; Jürgen Teich, Universität Erlangen-Nürnberg*

- **Robust-By-Design: Mikroprozessor-Entwurf für 45/32 nm-Technologien**
Hans-Jürgen Brand (AMD Saxony LLC&Co.KG – Dresden)

14:45-15:25 Verbundprojekte

- **Autonomic MPSoCs for reliable systems**
Walter Stechele (TU München); Oliver Bringmann (FZI, Karlsruhe); Rolf Ernst (TU Braunschweig); Franz Rammig (Universität Paderborn); Jürgen Teich (Universität Erlangen-Nürnberg); Norbert Wehn (Universität Kaiserslautern); Andreas Herkersdorf (TU München)
- **Test und Zuverlässigkeit nanoelektronischer Systeme**
Bernd Becker, Ilija Poljan (Universität Freiburg); Sybille Hellebrand (Universität Paderborn); Bernd Straube (Fraunhofer IIS-EAS Dresden); Hans-Joachim Wunderlich (Universität Stuttgart)

15:25-16:00 Kaffeepause

16:00-17:00 Entwurf und Synthese

Moderatoren: *Jörg Henkel, Universität Karlsruhe; Klaus Helmreich, Universität Erlangen-Nürnberg*

- **Synthese zuverlässiger und flexibler Systeme**
Michael Glass, Thilo Streichert, Martin Lukasiewicz, Christian Haubelt, Jürgen Teich (Universität Erlangen-Nürnberg)
- **Ein makrobasierter Ansatz zur Verbesserung der Ausbeute in der Produktion von FPGAs**
Sven Frimont, Wolfgang Nebel (Universität Oldenburg)
- **Partieller Layout Flow zur Generierung von Auswahltabellen für Bussysteme**
Patrick Birrer, Shankar J. Chandrasekaran (Cadence); Reimund Wittmann (Nokia)

Allgemeine Hinweise

Tagungsorganisation (Anmeldung)

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

VDE-Konferenz Service
Stresemannallee 15
60596 Frankfurt am Main / Deutschland
Telefon: 069 / 6308 – 229,- 477
Telefax: 069 / 96 31 52 13
E-Mail: vde-conferences@vde.com
URL: <http://www.vde.com>

Anmeldung

Die Anmeldung zur Fachtagung „Zuverlässigkeit und Entwurf“ erfolgt über den VDE-Konferenz Service. In der Heftmitte befindet sich ein Formular für die Anmeldung. Die Reservierung erfolgt in der Reihenfolge der Anmeldungen und erst nach vollständiger Bezahlung des Tagungsbeitrags.

Unter www.vde.com/konferenzen-registrierung können Sie sich auch online anmelden.

Teilnahmegebühren

(einschl. Tagungsband, Kaffeepausen, Mittagessen und Abendveranstaltung)

	Anmeldung bis 26.02.2007	Anmeldung nach dem 26.02.2007
Nichtmitglied	€ 500,00	€ 550,00
Persönliches Mitglied *	€ 450,00	€ 500,00
Hochschulangehöriger *	€ 400,00	€ 450,00
Vortragender	€ 400,00	€ 450,00
Student* (ohne Tagungsband)	€ 50,00	€ 80,00

* VDE, VDI. Bitte fügen Sie Kopie Ihres Mitgliedsausweises bei!

Die Tagungsgebühr beinhaltet den Tagungsband inkl. CD-ROM, Pausengetränke, Mittagsimbiss und Abendveranstaltung.

Bezahlung der Teilnahmegebühr

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (auf dem Anmeldeformular) die Kreditkarten-Informationen an.

Bei kurzfristigen Anmeldungen bitten wir, die Teilnahmegebühr in bar, per Eurocheck oder per Kreditkarte im Tagungsbüro im Renaissance Karlsruhe Hotel zu entrichten.

Bei Anmeldungen aus dem Ausland kann die Zahlung nur mit Kreditkarte erfolgen.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung!

Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

Stornierung

Bei Stornierung bis zum 09.03.2007 (Datum des Poststempels) wird die Teilnahmegebühr abzüglich € 50,- für Bearbeitungskosten zurückerstattet; bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Der Tagungsband wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

Zimmerreservierungen

Im Maritim Hotel München steht ein Zimmerkontingent auf Abruf bis zum 12.02.2007 zur Verfügung. Bitte reservieren Sie Ihr Hotelzimmer unter dem Stichwort: „ZuD“. Der Preis für das Einzelzimmer einschl. Frühstück beträgt pro Zimmer/Nacht 125,00 €.

Telefon: 089 / 5 52 35-0
Telefax: 089 / 5 52 35-9 00
E-Mail: info.mun@maritim.de
URL: <http://www.maritim.de>

Registrierung

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen zu den Öffnungszeiten des Tagungsbüros im Maritim Hotel München.

Tagungsbüro

Das Tagungsbüro befindet sich bis 23.03.2007 bei dem

VDE-Konferenz Service

Stresemannallee 15

60596 Frankfurt am Main / Germany

Telefon: 069 / 63 08 – 202, - 275, - 229, - 477

Telefax: 069 / 96 31 52 13

e-mail: vde.conferences@vde.com

URL: <http://www.vde.com>

Tagungsort

Maritim Hotel München

Goethestraße 7

80336 München

Telefon: 089 / 5 52 35-0

Telefax: 089 / 5 52 35-9 00

E-Mail: info.mun@maritim.de

URL: www.maritim.de

Telefonische Erreichbarkeit während der Tagung

Ab 26.03.2007 befindet sich das Tagungsbüro im Maritim Hotel München. Das Tagungsbüro erreichen Sie dann unter:

Telefon: 0171 / 46 95 118 (Dr. R. Schnabel)

Anfahrt zum Maritim Hotel München

Das Maritim Hotel befindet sich mitten im Herzen der Stadt, ca 150 m vom Hauptbahnhof, in einem separaten Innenhof, gelegen.

Bis zum Flughafen sind es ca. 35 km. Zwei direkte S-Bahnen verbinden den Flughafen mit dem Hauptbahnhof mit einer Fahrzeit von ca 45 Minuten.

Mit dem PKW:

Von der A9 aus Nürnberg / vom Flughafen kommend:

Ausfahrt Schwabing-Mittlerer Ring West. Dem Mittleren Ring folgen Richtung Garmischer Autobahn. Abfahrt Stadtmitte. An der Ampel nach links in die Landsberger Straße einbiegen. Dieser bitte folgen bis zu einer scharfen Rechtsbiegung. Hinter dieser Biegung an der Ampel links einbiegen in die Schwanthaler Straße. Die 4. Straße nach links in die Goethestraße einfahren. Nach ca. 50 Metern befindet sich das Hotel auf der rechten Seite.

Von der A8 aus Stuttgart kommend:

Bis zu dem Kreisverkehr am Autobahnende fahren. Hinter dem Kreisverkehr an der Ampel rechts in die Pippinger Straße einbiegen. Dieser folgen bis zur Kreuzung Bodenseestraße, in der Sie nach links einbiegen. Die Straße geht nach einer Weile in die Landsberger Straße über. Dieser bitte folgen bis zu einer scharfen Rechtsbiegung – Weiterfahrt siehe Anfahrt von der A9.

22

23

Von der A95 aus Garmisch kommend:

Bis zum Autobahnde fahen, Dann nach links auf den Mittleren Ring einbiegen. Diesem bitte folgen bis zur Ausfahrt „Pasing – Stadtmitte“ (befindet sich in einer Unterführung). Hier bitte vom Mittleren Ring abfahren und nach rechts in die Landsberger Straße einbiegen. Dieser bitte folgen bis zu einer scharfen Rechtsbiegung. Weiterfahrt siehe Anfahrt von der A9.

Von der A8 aus Salzburg kommend:

Ausfahrt München Giesing. Dieser bitte bis zum Autobahnde folgen. Die Autobahn geht unmittelbar in den Mittleren Ring über. Diesem bitte folgen bis in einer Unterführung „Pasing – Stadtmitte“ ausgeschildert ist. Hier bitte vom Mittleren Ring abfahren und nach rechts in die Landsberger Straße einbiegen Dieser bitte folgen bis zu einer scharfen Rechtsbiegung. Weiterfahrt siehe Anfahrt von der A9.

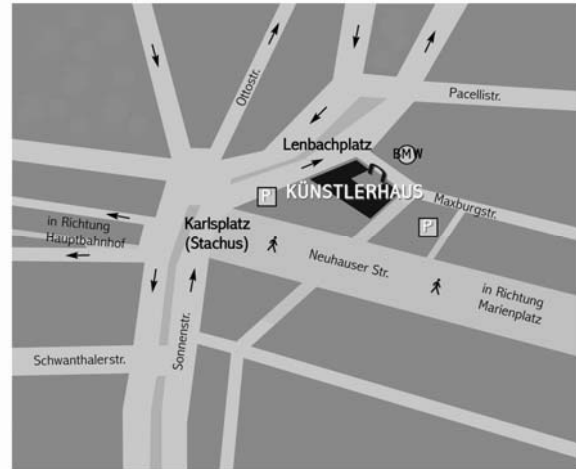
Parkmöglichkeiten

Das Hotel bietet Parkplätze in der Tiefgarage an. (Preis pro Nacht: 16,00 €)

Wir wünschen Ihnen eine angenehme Anreise.

Abendveranstaltung

Am Abend des 27.03.2007 ist eine Abendveranstaltung im Münchner Künstlerhaus am Lenbachplatz vorgesehen. Dieses ist vom Hotel aus bequem zu Fuss zu erreichen. Vom Hauptbahnhof ist es nur ein kurzes Stück bis zum Karlsplatz (Stachus). Der Lenbachplatz schließt sich an den Stachus in Richtung Maximiliansplatz an.



Informationen über München

Weitere interessante Informationen über München, das kulturelle Angebot und das Umland finden Sie auf der Homepage der Stadt München: <http://www.muenchen.de>. Einen detaillierten Stadtplan finden Sie unter <http://www.muenchen.de/home/82221/stadtplan.html> /

Wir danken den nachstehenden Unternehmen, Institutionen für die Unterstützung unserer Veranstaltung

credence

IBM®

infineon

MunEDA

NOKIA

OFFIS Institut für Informatik

Q-STAR TEST
The Current Test Company

VERIGY

Lokale Universitäten

TUM TECHNISCHE
UNIVERSITÄT
MÜNCHEN

der Bundeswehr
Universität  München